



(19)

(11) Publication number: **2000076**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **10244691**(51) Intl. Cl.: **G06F 13/36**(22) Application date: **31.08.98**

(30) Priority:

(43) Date of application publication: **14.03.00**

(84) Designated contracting states:

(71) Applicant: **HITACHI LTD
HITACHI PROCESS COMPUT
INC**(72) Inventor: **NAGAYAMA HISAO
MURAKAMI TOSHIYUKI
WATABE RYUICHI**

(74) Representative:

**(54) BUS ARBITRATION
SYSTEM**

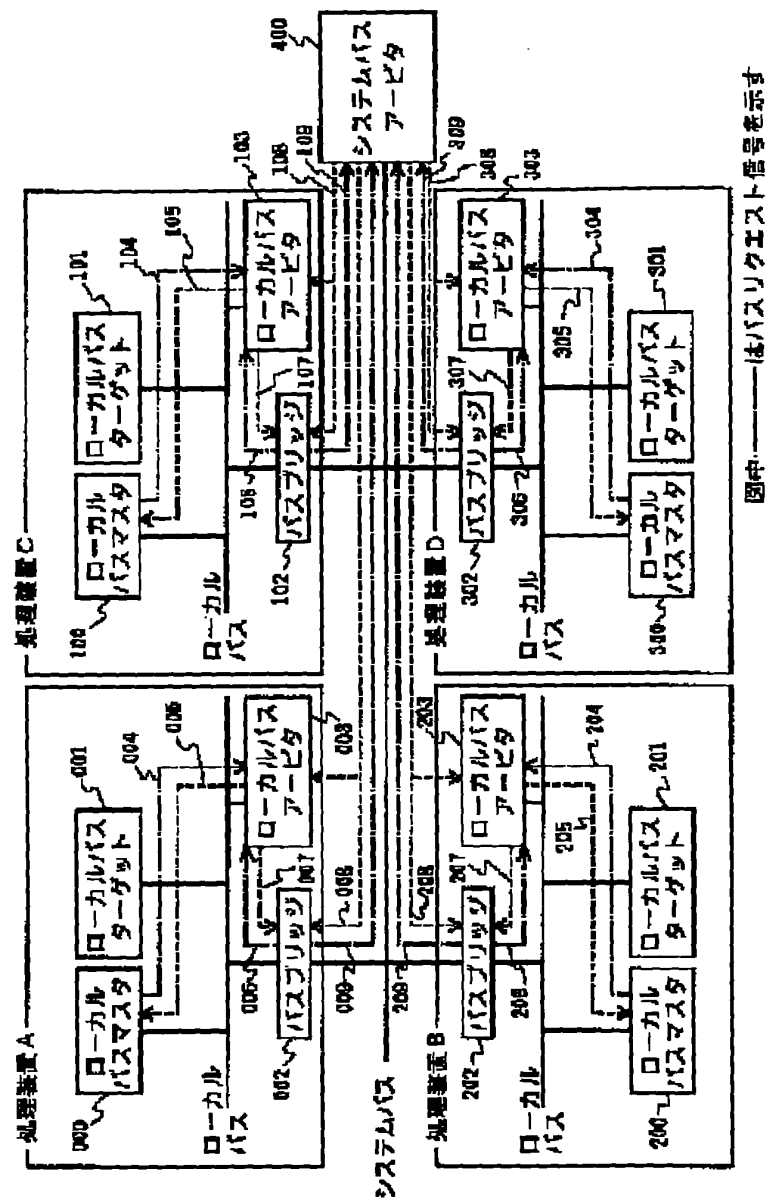
(57) Abstract:

PROBLEM TO BE SOLVED: To avoid the succession of retrying by allowing each bus bridge to issue a bus use permission request to a target-side bus, acquire the right to access the target-side bus, and give priority to the retrying of a bus master when one bus answers retrying at the bus master.

SOLUTION: Local bus masters 100, 200, and 300 start performing access and respective bus bridges 102, 202, and 302 issue bus request signals 109, 209, and 309 to a system bus arbiter 400. Namely, when a bus bridge 002 which was requesting access to the system bus answers retrying to access from a local bus master 000, the respective bus bridges 102 to 302 issue bus use permission requests to a target-side bus. Further, the bus bridge 002 acquires a bus grant 008 for the target-side bus and gives priority to the retrying of the local

bus master 000 that has received the retrying.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-76182

(P2000-76182A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl.⁷

G 0 6 F 13/36

識別記号

5 2 0

F I

G 0 6 F 13/36

テーマコード (参考)

5 2 0 B 5 B 0 6 1

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願平10-244691

(22) 出願日

平成10年8月31日 (1998.8.31)

(71) 出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人

000233158

日立プロセスコンピュータエンジニアリング株式会社

茨城県日立市大みか町5丁目2番1号

(72) 発明者

長山 久雄

茨城県日立市大みか町5丁目2番1号 日立プロセスコンピュータエンジニアリング株式会社内

(74) 代理人

100068504

弁理士 小川 勝男

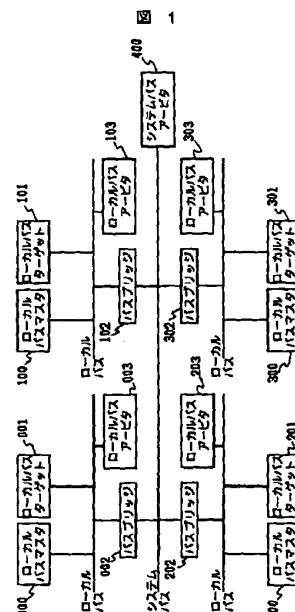
最終頁に続く

(54) 【発明の名称】 バス調停方式

(57) 【要約】

【課題】従来は、リトライ応答が発生した場合、リトライを受信したバスマスタは単純に再試行を行うため、再度リトライ応答を受けこれが連続するという場合があり、処理の遅延、若しくはリトライを受信した側でバスのロック状態と同様の現象が発生する。

【解決手段】本発明の特徴は、各バスブリッジはターゲット側バスへのバス使用許可要求（以下、バスリクエスト）を発行し、自身のバスブリッジがターゲット側バスのアクセス権（以下、バスグラント）を獲得し、リトライを受信したバスマスタの再試行を優先させることで、リトライの連続を回避することを特徴としたバスの調停方式である。



【特許請求の範囲】

【請求項1】 計算機内部が複数のバスによって階層構造に接続され、基幹バス（システムバス）と各々のローカルバスを連結する装置（バスブリッジ）およびシステムバスとローカルバスの各々のバス使用権を調停する装置（バスアービタ）を有するシステムにおいて、バスブリッジにバスプロトコル監視機能を設け、一つのバスマスタが自身が接続しているバスとは別のバスに接続されるバスターゲットに対しアクセスをする際にターゲットから再試行応答（リトライ）があった場合、バスマスタ側に対しリトライの応答を発行したバスブリッジはターゲット側のバスアービタにバス使用権要求（バスリクエスト）を発行し、予めターゲット側バスの使用権を獲得しておき、該バスマスタの再試行に備えることを特徴としたバス調停方式。

【請求項2】 請求項1において、各ローカルバスアービタ内にバスプロトコル監視機能とシステムバス側のバスグラント監視機能を設け、バスプロトコルでリトライが発生した場合に、その時のローカルバス使用許可（バスグラント）を与えたバスマスタを記憶しバス使用権（バスグラント）をターゲット側のバスが獲得できるまで遅延させ、不確実なリトライを禁止することを特徴としたバス調停方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、計算機の多重化バスに係り、特に信頼性ならびに通信性能向上に好適なバス調停方式に関する。

【0002】

【従来の技術】 従来、複数のローカルバスをシステムバスに接続する場合には、バスブリッジを設け各々のバスを連結しており、ローカルバスとシステムバスのアクセスは先着優先、後着優先、またはどちらかのバスを固定優先とし、優先するバスからのアクセスを許可し、優先されないバスのアクセスに対してはリトライを応答することで、バスロックを回避していた。

【0003】 また、アクセス先のバスが別のアクセスを実施していて、ビジー状態の時も同様にアクセス元に対して、リトライを応答しリトライを受信したバスマスタは再試行する必要があった。

【0004】

【発明が解決しようとする課題】 従来は、リトライ応答が発生した場合、リトライを受信したバスマスタは単純に再試行を行うため、

（a）再試行の際に前回と同様のリトライ条件が成立していた場合、再度リトライ応答を受けこれが連続するという場合があり、処理の遅延、若しくはリトライを受信した側でバスのロック状態と同様の現象が発生するという問題があった。

【0005】 （b）同様に、同一アクセスのリトライが

複数発生するという事は、実際には意味のないバスサイクルが発生することであり、バスのトータルスループットが低下するという問題があった。

【0006】 （c）リトライの連続回数が把握できず処理時間・応答時間・スループットの最悪規定の算出が事実上不可能になるという問題があった。

【0007】 （d）3つ以上のローカルバスをシステムバスに接続した場合、各々のローカルバスからシステムバスへのアクセスで無限にリトライを続ける場合があり、処理の停止若しくは、タイムアウトによるエラーが発生する場合があった。

【0008】

【課題を解決するための手段】 本発明の第1の特徴は、一つのバスからバスブリッジを介したアクセスの際にリトライが応答された場合、各バスブリッジはターゲット側バスへのバス使用許可要求（以下、バスリクエスト）を発行し、自身のバスブリッジがターゲット側バスのアクセス権（以下、バスグラント）を獲得し、リトライを受信したバスマスタの再試行を優先させることで、リトライの連続を回避することを特徴としたバスの調停方式である。

【0009】 本発明の第2の特徴は、第1の特徴に加え、各ローカルバスアービタはバスプロトコルにリトライが発生した場合、バスブリッジを介したターゲット側バスのアクセス権を獲得するまでリトライを受信したマスタに対してもバスグラントを与えない機能を設けることで、アクセスに関連したバスが獲得できるまで該バスマスタの再試行を遅延させ、不確実なリトライアクセスを回避し、バスのトータルスループットを向上させ、バスアクセス処理時間の最悪値の算出が可能になることを特徴としたバスの調停方式である。

【0010】 即ち、本発明によれば、最悪でもバスの階層に比例した規定回数分のリトライでアクセスが終了するため、各々のバスマスタに平等な処理を実施させ、アクセス処理時間の短縮とバスのスループット向上、ひいてはアクセス処理時間の保証ができ、処理の高速化ならびに信頼性向上が図れる。

【0011】

【発明の実施の形態】 図3に本発明の動作原理説明図を示す。本図では、ローカルバスに各々バスマスタとバスターゲットを有する処理装置をシステムバスで連結したシステムにおけるバス調停方式について説明する。

【0012】 データ処理、メモリ制御、入出力制御等のバスアクセスを実施するローカルバスマスタ000、レジスタ、メモリ、各種入出力インタフェースであるローカルバスターゲット001、ローカルバスとシステムバスを接続するバスブリッジ002、ローカルバスのアクセス権調停を行うローカルバスアービタ003から構成する処理装置A、同様の構成からなる処理装置B、C、Dとシステムバスのアクセス権調停を行うシステムバス

アービタ400より構成するシステムにおいて、ローカルバスマスタ000がローカルバスターゲット301をアクセスし、ほぼ同時にローカルバスマスタ100および200および300がローカルバスターゲット101を連続してアクセスした場合の動作原理について以下説明する。

【0013】ローカルバスマスタ000は、ローカルバスアービタ003に対しバスリクエスト信号004を発行し、ローカルバスアービタ003はバスマスタ000に対しバスグラント005を発行する。バスグラント005を受信したバスマスタ000はバスブリッジ007に対しアクセスを行いバスブリッジ007はローカルバスマスタ000からのアクセスを認識した時点で、システムバスアービタ400に対し、バスリクエスト009を発行する。同様の手順によりローカルバスマスタ100および200および300がアクセスを開始し、バスブリッジ107および207および307もシステムバスアービタ400にバスリクエスト線109および209および309を発行する。この時システムバスアービタがバスグラント108を発行した場合バスブリッジ102がバスブリッジ002をアクセスする、そこでシステムバスへのアクセスを要求していたバスブリッジ002は、ローカルバスマスタ000からのアクセスに対し、リトライを応答し、ローカルバスマスタ000からのアクセスを終了させる。さらにリトライを受信したローカルバスマスタ000は再試行サイクルを開始するためローカルバスアービタ003に対しバスリクエスト004を発行する。

【0014】一方、バスブリッジ002は次の再試行に備えるためシステムバス側にバスリクエスト009を発行しシステムバスアービタ400からのバスグラント008を待つ。

【0015】更に、ローカルバスアービタ003はシステムバスアービタ400からバスブリッジ002へ対するバスグラント008が有効になるまでバスマスタ000へのバスグラント005を遅延させる。

【0016】その間に、順次ローカルバスマスタ100、同200および300のアクセスが終了しシステムバスアービタ400はバスグラント008を発行する。

【0017】バスグラント008の発行を認識したロー

カルバスアービタ003はバスグラント005をローカルバスマスタ000に発行し、バスブリッジ002に対してアクセスを実施し、バスブリッジは既にシステムバスへのアクセス権を獲得しているためリトライ応答を受けることなくアクセスが可能となる。

【0018】また、図4にバスブリッジの状態遷移例を、図5にはローカルバスアービタのローカルバスマスタに対する状態遷移例を示す。

【0019】

【発明の効果】本発明によれば、最悪でもバスの階層に比例した規定回数分のリトライでアクセスが終了するため、各々のバスマスタに平等な処理を実施させ、アクセス処理時間の短縮とバスのスループット向上、ひいてはアクセス処理時間の保証ができ、処理の高速化ならびに信頼性向上が図れる。

【図面の簡単な説明】

【図1】本発明のバス構成によるシステム構成例を示すブロック図。

【図2】従来のバス構成によるシステム構成例を示すブロック図。

【図3】本発明のバス調停方式を説明する動作原理説明図。

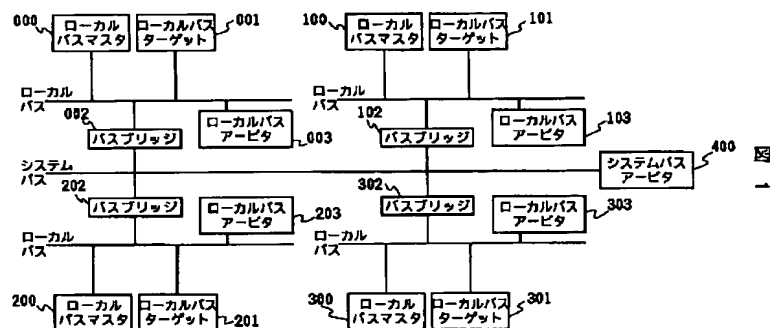
【図4】本発明のバスブリッジの状態遷移例を示す図。

【図5】本発明のローカルバスアービタのローカルバスマスタに対する状態遷移例を示す図。

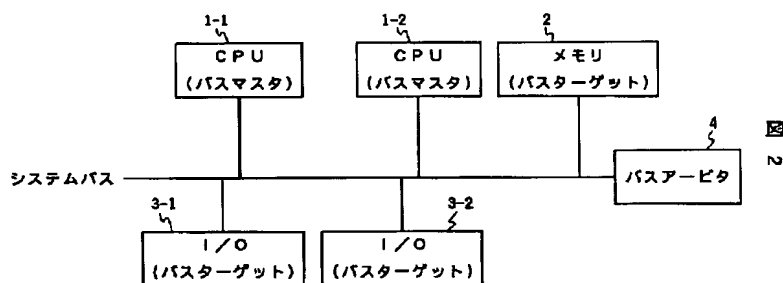
【符号の説明】

001, 100, 200, 300…ローカルバスマスタ、001, 101, 201, 301…ローカルバスターゲット、002, 102, 202, 302…バスブリッジ、003, 103, 203, 303…ローカルバスアービタ、004, 104, 204, 304, 006, 106, 206, 306, 009, 109, 209, 309…バスリクエスト信号、005, 105, 205, 305, 007, 107, 207, 307, 008, 108, 208, 308…バスグラント信号、400…システムバスアービタ、1-1, 1-2…CPU (バスマスタ)、2…メモリ (バスターゲット)、3-1, 3-2…I/O (バスターゲット)、1-1, 1-2…バスアービタ。

【図1】

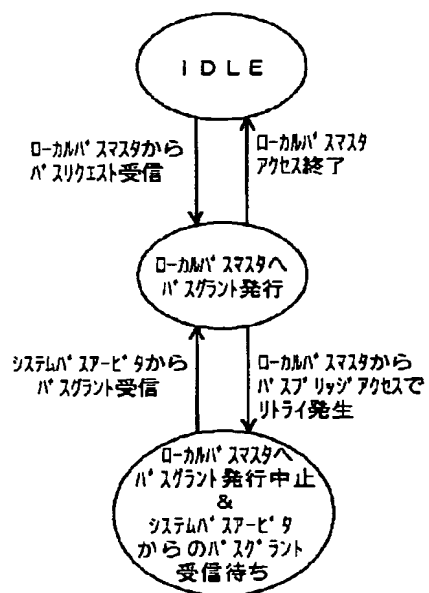


【図2】

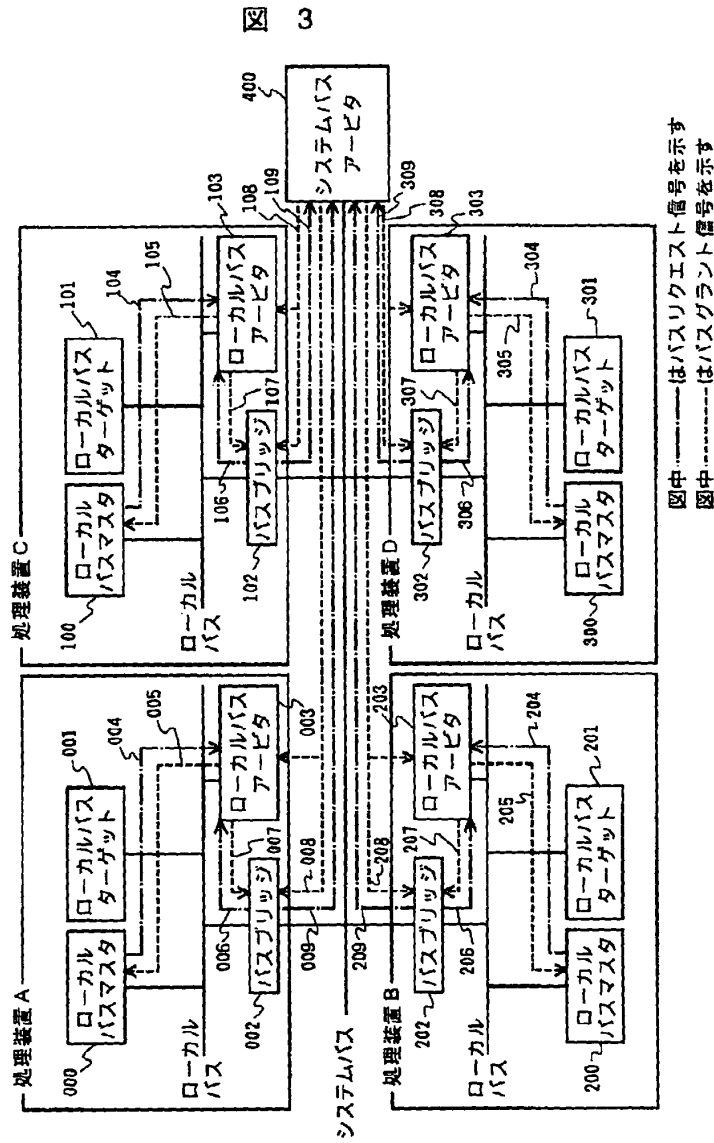


【図5】

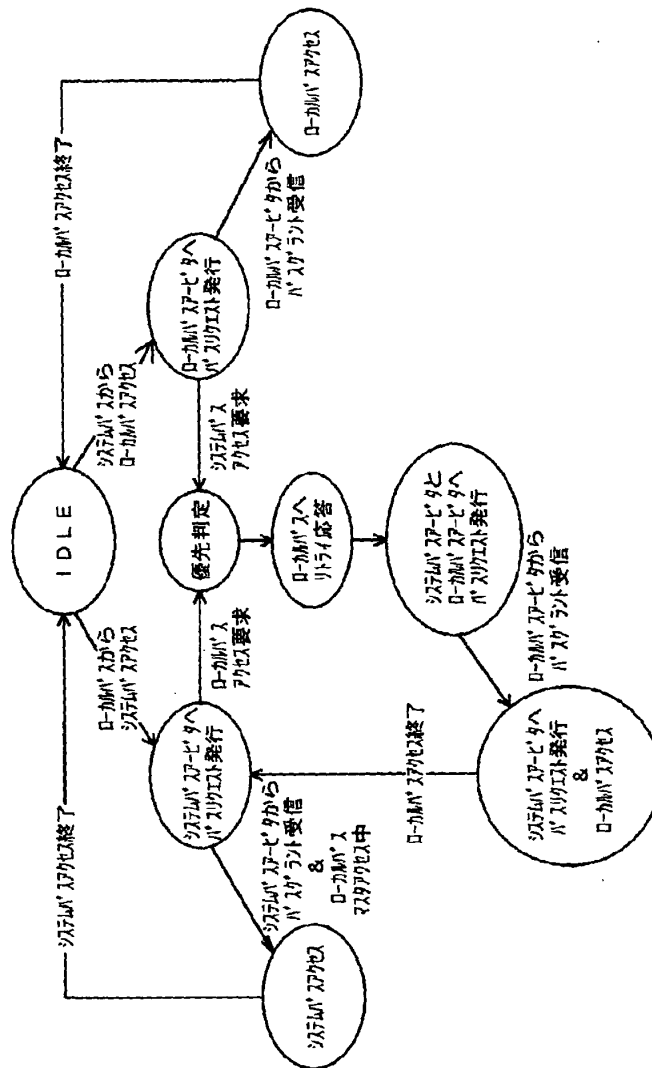
図 5



【図3】



4



(72)発明者 村上 利幸

(72) 発明者 渡部 隆一

Fターム(参考) 5B061 BA01 BB01 FF01 GG02 PP01
PP05